

#3/5-902
JC957 U.S. PTO
10/058343
01/30/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Toshitake YAEGASHI

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2001-023973	January 31, 2001
Japan	2001-085821	March 23, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Chmn McClelland

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124



22850

Docket No. 219030US2S

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

INVENTOR(S) Toshitake YAEGASHI

SERIAL NO: New Application

FILING DATE: Herewith

FOR: NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE AND METHOD OF MANUFACTURING
THE SAME

JC857 U.S. PTO
10/058343
01/30/02

FEE TRANSMITTAL

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

FOR	NUMBER FILED	NUMBER EXTRA	RATE	CALCULATIONS
TOTAL CLAIMS	37 - 20 =	17	× \$18 =	\$306.00
INDEPENDENT CLAIMS	15 - 3 =	12	× \$84 =	\$1,008.00
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIMS (If applicable)			+ \$280 =	\$0.00
<input type="checkbox"/> LATE FILING OF DECLARATION			+ \$130 =	\$0.00
BASIC FEE				\$740.00
TOTAL OF ABOVE CALCULATIONS				\$2,054.00
<input type="checkbox"/> REDUCTION BY 50% FOR FILING BY SMALL ENTITY				\$0.00
<input type="checkbox"/> FILING IN NON-ENGLISH LANGUAGE			+ \$130 =	\$0.00
<input checked="" type="checkbox"/> RECORDATION OF ASSIGNMENT			+ \$40 =	\$40.00
TOTAL				\$2,094.00

- ☐ Please charge Deposit Account No. 15-0030 in the amount of _____ A duplicate copy of this sheet is enclosed.
- ☒ A check in the amount of \$2,094.00 to cover the filing fee is enclosed.
- ☒ The Commissioner is hereby authorized to charge any additional fees which may be required for the papers being filed herewith and for which no check is enclosed herewith, or credit any overpayment to Deposit Account No. 15-0030.
A duplicate copy of this sheet is enclosed.

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Date: _____

1/30/02

Marvin J. Spivak

Registration No. 24913
C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/01)

015/643

1/2

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月31日

出 願 番 号

Application Number:

特願2001-023973

[ST.10/C]:

[JP2001-023973]

出 願 人

Applicant(s):

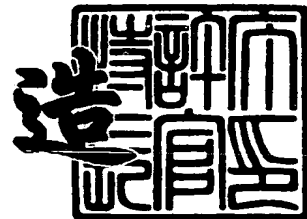
株式会社東芝

JC957 U.S. PRO
10/058343
01/30/02

2002年 1月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3115196

【書類名】 特許願

【整理番号】 A000100054

【提出日】 平成13年 1月31日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/04

【発明の名称】 不揮発性半導体記憶装置およびその製造方法

【請求項の数】 15

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 八重樫 利武

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

 【弁理士】

 【氏名又は名称】 坪井 淳

【選任した代理人】

 【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に形成された、電荷蓄積層と制御ゲート層との積層構造を有する、少なくとも 1 つのメモリセルトランジスタを含むメモリセルユニットと、

ソース／ドレイン拡散層領域の一方がビット線またはソース線に接続され、他方が前記メモリセルユニットに接続された選択ゲートトランジスタとを具備し、

前記選択ゲートトランジスタのゲート電極下で、この選択ゲートトランジスタのソース拡散層領域の形状とドレイン拡散層領域の形状とが、非対称であることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記ビット線またはソース線に接続された拡散層領域と前記ゲート電極とが重なり合う距離が、前記メモリセルユニットに接続された拡散層領域と前記ゲート電極とが重なり合う距離よりも小さいことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 前記ゲート電極の下で、前記ビット線またはソース線に接続された拡散層領域の最深部が、前記メモリセルユニットに接続された拡散層領域の最深部よりも浅いことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 4】 前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記ビット線またはソース線に接続された拡散層領域の実効的な不純物濃度が、前記メモリセルユニットに接続された拡散層領域の実効不純物濃度よりも薄いことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 5】 前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記メモリセルユニットに接続された拡散層領域の実効的な不純物濃度が、前記メモリセルトランジスタのソース／ドレイン拡散層領域の実効的な不純物濃度と同じであることを特徴とする請求項 1 乃至請求項 4 いずれか一項に記載の不揮発性半導体記憶装置。

【請求項 6】 半導体基板上に形成された、電荷蓄積層と制御ゲート層との積層構造を有する、少なくとも 1 つのメモリセルトランジスタを含むメモリセルユニットと、

ソース／ドレイン拡散層領域の一方がビット線またはソース線に接続され、他方が前記メモリセルユニットに接続された選択ゲートトランジスタとを具備し、

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記選択ゲートトランジスタのソース拡散層領域とドレイン拡散層領域との間のチャンネル領域に、不純物濃度が異なる領域があることを特徴とする不揮発性半導体記憶装置。

【請求項 7】 前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記ビット線またはソース線に接続された拡散層領域に接するチャンネル領域の不純物濃度が、前記メモリセルユニットに接続された拡散層領域に接するチャンネル領域の不純物濃度よりも濃いことを特徴とする請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 8】 前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記メモリセルユニットに接続された拡散層領域に接するチャンネル領域の不純物濃度が、前記メモリセルトランジスタのソース／ドレイン拡散層領域に接するチャンネル領域の不純物濃度と同じであることを特徴とする請求項 6 及び請求項 7 いずれかに記載の不揮発性半導体記憶装置。

【請求項 9】 前記ビット線またはソース線を、前記拡散層領域に接続させるコンタクトが、前記選択ゲートトランジスタのゲート電極に対して、自己整合的に形成されていることを特徴とする請求項 1 乃至請求項 8 いずれか一項に記載の不揮発性半導体記憶装置。

【請求項 10】 前記メモリセルトランジスタのゲート電極の側壁、及び前記選択ゲートトランジスタのゲート電極の前記メモリセルに対向する側には、第 1 の絶縁膜と、この第 1 の絶縁膜上に形成された第 2 の絶縁膜と、この第 2 の絶縁膜上に形成された第 3 の絶縁膜とが積層されており、前記選択ゲートトランジスタのゲート電極の、ビット線またはソース線を接続するためのコンタクトに対向する側には、前記第 1 の絶縁膜と、この第 1 の絶縁膜上に形成された前記第 3

の絶縁膜とが積層されている構造を有することを特徴とする請求項1乃至請求項9いずれか一項に記載の不揮発性半導体記憶装置。

【請求項11】 半導体基板上に、第1導電型のチャネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を形成する工程と

前記選択ゲートトランジスタのゲート電極の、前記メモリセルトランジスタに対向する側とは反対側に開口を持つマスクを形成する工程と、

前記マスクの開口を介して前記半導体基板に第1導電型の不純物を注入する工程と

を具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項12】 半導体基板上に、第1導電型のチャネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を形成する工程と

前記メモリセルトランジスタ及び前記選択ゲートトランジスタのゲート電極の側壁に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に、第2の絶縁膜を形成する工程と、

前記選択ゲートトランジスタのゲート電極の、前記メモリセルトランジスタに対向する側とは反対側に開口を持つマスクを形成する工程と、

前記マスクの開口を介して前記第2の絶縁膜を除去する工程と、

前記マスクの開口を介して前記半導体基板に第1導電型の不純物を注入する工程と

を具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項13】 半導体基板上に、第1導電型のチャネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を形成する工程と

前記選択ゲートトランジスタのソース／ドレイン拡散層領域に、前記選択ゲートトランジスタのゲート電極に対して自己整合的にコンタクト孔を開口する工程と、

前記コンタクト孔を介して前記半導体基板に第1導電型の不純物を注入する工

程と

を具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 1 4】 前記不純物の注入は、前記選択ゲートトランジスタのゲート電極下のチャネル領域に不純物が注入されるように角度をつけて行われることを特徴とする請求項 1 1 乃至請求項 1 3 いずれか一項に記載の不揮発性半導体記憶装置の製造方法。

【請求項 1 5】 半導体基板上に、第 1 導電型のチャネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を、前記選択ゲートトランジスタのゲート電極間のスペースを、前記メモリセルのトランジスタのゲート電極と前記選択ゲートトランジスタのゲート電極間のスペースよりも広くして形成する工程と、

前記半導体基板に第 1 導電型の不純物を、前記メモリセルトランジスタのゲート電極と選択ゲートトランジスタのゲート電極との間には注入されず、前記選択ゲートトランジスタのゲート電極間に注入される角度で注入する工程と

を具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、特に少なくとも 1 つのメモリセルトランジスタを含むメモリセルユニットと、このメモリセルユニットに接続された選択ゲートトランジスタとを具備する不揮発性半導体記憶装置およびその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

図 2 8 に、従来の NAND 型半導体記憶装置における、メモリセルトランジスタ及び選択ゲートトランジスタのゲート長 “L” 方向の断面図を示す。

【 0 0 0 3 】

選択ゲートトランジスタのゲート電極間には、これらゲート電極に対して自己整合的に形成されたコンタクト孔 3 4 が形成されている。メモリセルトランジスタのゲート側壁には、ホットキャリア特性を良くするため、TEOS 膜 2 9 が堆

積されている。

【 0 0 0 4 】

一方、選択ゲートトランジスタは、コンタクト孔 3 4 開口の際に、TEOS 膜 2 9 がエッチングされて、コンタクト埋め込み材とゲート電極がショートするのを防ぐために、コンタクト孔 3 4 を開口する前に、ゲート側壁の TEOS 膜 2 9 を剥離した構造となっている。メモリセルトランジスタと選択ゲートトランジスタのチャネル領域及びソース／ドレイン拡散層領域 2 8 に対する不純物のイオン注入は同時に行われるため、チャネル領域及びソース／ドレイン拡散層領域 2 8 の不純物分布は、メモリセルトランジスタと選択ゲートトランジスタで同様になっている。

【 0 0 0 5 】

NAND 型半導体記憶装置では、メモリセルに“1”データを書き込む（浮遊ゲートに電子を注入せず、消去時のしきい値を保つ）際、そのメモリセルトランジスタに接続された選択ゲートトランジスタを介して、ビット線から初期電位を充電し、選択ワード線には書き込み電圧、非選択ワード線には転送電圧を印加し、容量結合を利用してメモリセルトランジスタのチャネル領域の電位を昇圧することにより、浮遊ゲート 5、1 1 に電子が注入されないようにしている。このため、チャネル領域の不純物濃度を下げることによりチャネル容量が低下し、チャネル領域の電位が昇圧されやすくなり、“1”データ書き込み特性が向上する。

【 0 0 0 6 】

【発明が解決しようとする課題】

しかしながら、メモリセルトランジスタと選択ゲートトランジスタのチャネル領域の不純物分布が同じであるため、チャネル領域の不純物濃度を下げることによって、選択ゲートトランジスタのしきい値電圧が低下し、オフリーク電流が増加して、正常な動作ができなくなる事情があった。

【 0 0 0 7 】

この発明は上記事情に鑑みて為されたもので、その目的は、データ書き込み特性、データ保持特性、読み出しストレスに対する耐性などのメモリセルトランジスタの様々な特性と、選択ゲートトランジスタのカットオフ特性とをともに良好

にできる不揮発性半導体記憶装置およびその製造方法を提供することにある。

【0008】

【課題を解決するための手段】

上記目的を達成するために、この発明の第1の態様に係る不揮発性半導体記憶装置では、半導体基板上に形成された、電荷蓄積層と制御ゲート層との積層構造を有する、少なくとも1つのメモリセルトランジスタを含むメモリセルユニットと、ソース／ドレイン拡散層領域の一方がビット線またはソース線に接続され、他方が前記メモリセルユニットに接続された選択ゲートトランジスタとを具備する。そして、前記選択ゲートトランジスタのゲート電極下で、この選択ゲートトランジスタのソース拡散層領域の形状とドレイン拡散層領域の形状とが、非対称であることを特徴としている。

【0009】

このような第1の態様に係る不揮発性半導体記憶装置によれば、選択ゲートトランジスタのソース拡散層領域とドレイン拡散層領域との形状を非対称としたことにより、選択ゲートトランジスタの実効ゲート長を長くすることができる。この結果、選択ゲートトランジスタのショートチャネル効果が改善され、そのカットオフ特性が向上する。さらに選択ゲートトランジスタのショートチャネル効果が改善されることから、メモリセルトランジスタのチャネル領域の不純物濃度は、従来以下に下げることが可能である。この結果、メモリセルトランジスタのデータ書き込み特性を向上できる。

【0010】

また、この発明の第2の態様に係る不揮発性半導体記憶装置では、半導体基板上に形成された、電荷蓄積層と制御ゲート層との積層構造を有する、少なくとも1つのメモリセルトランジスタを含むメモリセルユニットと、ソース／ドレイン拡散層領域の一方がビット線またはソース線に接続され、他方が前記メモリセルユニットに接続された選択ゲートトランジスタとを具備する。そして、前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記選択ゲートトランジスタのソース拡散層領域とドレイン拡散層領域との間のチャネル領域に、不純物濃度が異なる領域があることを特徴としている。

【 0 0 1 1 】

このような第 2 の態様に係る不揮発性半導体記憶装置によれば、選択ゲートトランジスタのソース拡散層領域とドレイン拡散層領域との間のチャンネル領域に、不純物濃度が異なる領域を有することにより、選択ゲートトランジスタの実効ゲート長を長くすることができる。よって、第 1 の態様に係る不揮発性半導体記憶装置と同様の効果を得ることができる。

【 0 0 1 2 】

上記目的を達成するために、この発明の第 1 の態様に係る不揮発性半導体記憶装置の製造方法では、半導体基板上に、第 1 導電型のチャンネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を形成する工程と、前記選択ゲートトランジスタのゲート電極の、前記メモリセルトランジスタに対向する側とは反対側に開口を持つマスクを形成する工程と、前記マスクの開口を介して前記半導体基板に第 1 導電型の不純物を注入する工程とを具備することを特徴としている。

【 0 0 1 3 】

このような第 1 の態様に係る不揮発性半導体記憶装置の製造方法によれば、メモリセルトランジスタに対向する側とは反対側に開口を持つマスクを形成し、このマスクの開口を介して半導体基板にチャンネル領域と同じ導電型の不純物を注入する。これにより、上記第 1、第 2 の態様に係る不揮発性半導体記憶装置を製造することができる。

【 0 0 1 4 】

また、この発明の第 2 の態様に係る不揮発性半導体記憶装置の製造方法では、半導体基板上に、第 1 導電型のチャンネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を形成する工程と、前記メモリセルトランジスタ及び前記選択ゲートトランジスタのゲート電極の側壁に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上に、第 2 の絶縁膜を形成する工程と、前記選択ゲートトランジスタのゲート電極の、前記メモリセルトランジスタに対向する側とは反対側に開口を持つマスクを形成する工程と、前記マスクの開口を介して前記第 2 の絶縁膜を除去する工程と、前記マスクの開口を介して前記半導体基

板に第 1 導電型の不純物を注入する工程とを具備することを特徴としている。

【 0 0 1 5 】

このような第 2 の態様に係る不揮発性半導体記憶装置の製造方法によれば、選択ゲートトランジスタのゲート電極から第 2 の絶縁膜を除去するためのマスクを利用して、このマスクの開口を介してチャネル領域と同じ導電型の不純物を注入する。これにより、不純物注入のためのマスク形成工程を増加させることなく、即ち、製造コストの増加を伴うことなく、上記第 1、第 2 の態様に係る不揮発性半導体記憶装置を製造することができる。

【 0 0 1 6 】

また、この発明の第 3 の態様に係る不揮発性半導体記憶装置の製造方法では、半導体基板上に、第 1 導電型のチャネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を形成する工程と、前記選択ゲートトランジスタのソース／ドレイン拡散層領域に、前記選択ゲートトランジスタのゲート電極に対して自己整合的にコンタクト孔を開口する工程と、前記コンタクト孔を介して前記半導体基板に第 1 導電型の不純物を注入する工程とを具備することを特徴としている。

【 0 0 1 7 】

このような第 3 の態様に係る不揮発性半導体記憶装置の製造方法によれば、自己整合的に形成されたコンタクト孔を介してチャネル領域と同じ導電型の不純物を注入する。これにより、不純物注入のためのマスク形成工程を増加させることなく、即ち、製造コストの増加を伴うことなく、上記第 1、第 2 の態様に係る不揮発性半導体記憶装置を製造することができる。

【 0 0 1 8 】

また、この発明の第 4 の態様に係る不揮発性半導体記憶装置の製造方法では、半導体基板上に、第 1 導電型のチャネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を、前記選択ゲートトランジスタのゲート電極間のスペースを、前記メモリセルのトランジスタのゲート電極と前記選択ゲートトランジスタのゲート電極間のスペースよりも広くして形成する工程と、前記半導体基板に第 1 導電型の不純物を、前記メモリセルトランジスタのゲー

ト電極と選択ゲートトランジスタのゲート電極との間には注入されず、前記選択ゲートトランジスタのゲート電極間に注入される角度で注入する工程とを具備することを特徴としている。

【 0 0 1 9 】

このような第4の態様に係る不揮発性半導体記憶装置の製造方法によれば、チャネル領域と同じ導電型の不純物を、メモリセルトランジスタのゲート電極と選択ゲートトランジスタのゲート電極との間には注入されず、選択ゲートトランジスタのゲート電極間に注入される角度で注入する。これにより、不純物注入のためのマスク形成工程を増加させることなく、即ち、製造コストの増加を伴うことなく、上記第1、第2の態様に係る不揮発性半導体記憶装置を製造することができる。

【 0 0 2 0 】

【発明の実施の形態】

以下、この発明の実施形態を、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【 0 0 2 1 】

（第1の実施形態）

本第1の実施形態は、メモリセルユニットに接続された選択ゲートトランジスタのビット線またはソース線コンタクト側にチャネルと同じ導電型の不純物を注入することにより、選択ゲートトランジスタのカットオフ特性を向上させたものである。以下、第1の実施形態に係るNAND型不揮発性半導体記憶装置をその製造方法とともに詳細に説明する。

【 0 0 2 2 】

まず、図1に示すように、p型シリコン基板1の表面にバッファ酸化膜2を形成する。次いで、図示はしないがレジストを塗布し、レジスト膜を形成する。次いで、このレジスト膜に、フォトリソグラフィ法を用いてウェル及びチャネル領域に対応した開口部を開口する。次いで、レジスト膜をマスクとして、n型不純物、例えばリン（P）、p型不純物、例えばボロン（B）をイオン注入し、p型シリコン基板1内に、n型ウェル（図示せず）、及びp型ウェル・チャネル領域

3を形成する。この後、レジスト膜を除去する。

【0023】

次に、図2に示すように、バッファ酸化膜2を除去した後、トランジスタのゲート絶縁膜4を形成する。このゲート絶縁膜4はシリコン酸化膜に限定されるものではなく、シリコン窒化膜であっても良い。次いで、ゲート電極（浮遊ゲート）の一部となるポリシリコン及びSTI (Shallow Trench Isolation)加工のマスクとなる窒化シリコンを堆積し、ポリシリコン膜5及びシリコン窒化膜6を形成する。次いで、レジスト膜7を形成し、このレジスト膜7に、フォトリソグラフィ法を用いて素子分離領域に対応した開口部を開口する。

【0024】

次に、図3に示すように、レジスト膜7をマスクとして、シリコン窒化膜6をエッチングする。次いで、レジスト膜7を除去した後、シリコン窒化膜6をマスクとして、ポリシリコン膜5、ゲート絶縁膜4、シリコン基板1を順次エッチング加工し、素子分離領域となるSTIの溝8を形成する。

【0025】

次に、図4に示すように、STIの溝8の表面に薄いシリコン酸化膜9を形成する。次いで、二酸化シリコンを堆積し、STIの溝8をシリコン酸化膜10で埋め込む。次いで、シリコン酸化膜10の表面を、CMP法を用いて平坦化した後、シリコン窒化膜6を除去する。

【0026】

次に、図5に示すように、ゲート電極（浮遊ゲート）の一部となるポリシリコンを堆積し、ポリシリコン膜11を形成する。次いで、図示はしないがレジスト膜を形成し、このレジスト膜に、フォトリソグラフィ法を用いて、ワード線に沿って並ぶメモリセルどうしを分離するスリットに対応した開口部を開口する。次いで、レジスト膜をマスクとして、ポリシリコン膜11をエッチングし、スリット12を形成する。この後、レジスト膜を除去する。

【0027】

次に、図6に示すように、二酸化シリコン(O)/窒化シリコン(N)/二酸化シリコン(O)、ポリシリコン/タングステンシリサイド(WSi)、及び窒

化シリコンを順次堆積する。このようにして、ONO膜13、ゲート電極（制御ゲート）となるポリシリコン／WSi積層膜14、及びゲート電極加工のマスクとなるシリコン窒化膜15をそれぞれ形成する。

【0028】

次に、図示はしないがレジスト膜を形成し、このレジスト膜に、フォトリソグラフィ法を用いて、ゲート電極（制御ゲート、及び選択ゲート）に対応したパターンを形成する。次いで、レジスト膜をマスクとして、シリコン窒化膜15をエッチングする。次いで、レジスト膜を除去した後、シリコン窒化膜15をマスクとして、ポリシリコン／WSi積層膜14、ONO膜13、ポリシリコン膜11、及びポリシリコン膜5を順次エッチング加工し、二層ゲート電極を形成する。

【0029】

上記方法により形成したメモリセル部の一部分の平面を図7に示し、図7中のA-A'線に沿う断面を図8に示す。

【0030】

図7には、素子領域16、素子分離領域17、対向する2本の選択ゲートトランジスタのゲート電極19、及び選択ゲートトランジスタに接続されたメモリセルトランジスタのゲート電極18が示されている。

【0031】

次に、図9に示すように、メモリセルトランジスタのゲート電極の側壁、及び選択ゲートトランジスタのゲート電極の側壁をそれぞれ酸化し、酸化膜20を形成する。次いで、レジスト膜21を形成し、このレジスト膜21に、フォトリソグラフィ法を用いて選択ゲートトランジスタのゲート電極間の領域に対応した開口部を開口する。次いで、レジスト膜21をマスクに、チャネル（本例ではp型ウェル・チャネル領域3）と同じ導電型のp型不純物、例えばボロン（B）をイオン注入する。なお、このイオン注入は、選択ゲートトランジスタのゲート電極の下に不純物を注入するために、図9中矢印で示すように、角度をつけて2回行うことが望ましい。その結果、選択ゲートトランジスタのゲート電極間のp型シリコン基板1内（本例ではp型ウェル・チャネル領域3）には、p型ウェル・チャネル領域3よりもp型不純物濃度の濃い領域22が形成される。

【 0 0 3 2 】

次に、図 1 0 に示すように、レジスト膜 2 1 を除去した後、図示はしないがレジスト膜を形成し、このレジスト膜に、フォトリソグラフィ法を用いてメモリセル部に対応した開口部を開口する。次いで、レジスト膜をマスクとして、 n 型不純物、例えばリン (P) を、メモリセルトランジスタ及び選択ゲートトランジスタのソース／ドレイン拡散層領域が形成される領域にイオン注入し、メモリセルトランジスタ及び選択ゲートトランジスタの n 型ソース／ドレイン拡散層領域 2 3、2 4 を形成する。この後、レジスト膜を除去する。

【 0 0 3 3 】

このとき、選択ゲートトランジスタのゲート電極間の p 型シリコン基板 1 (本実施形態では p 型ウェル・チャネル領域 3) 内には、 p 型ウェル・チャネル領域 3 よりも p 型不純物濃度の濃い領域 2 2 が形成されている。このため、対向する選択ゲートトランジスタ側の n 型ソース／ドレイン拡散層領域 2 3 の実効的な不純物濃度 (n 型不純物濃度から p 型不純物濃度を引いた濃度) は、メモリセルトランジスタ側の n 型ソース／ドレイン拡散層 2 4 の実効的な不純物濃度よりも薄くなる。

【 0 0 3 4 】

また、図 1 1 に示すように、ソース／ドレイン方向における p n 接合の深さは、選択ゲートトランジスタのゲート電極 1 9 の下で、 n 型ソース／ドレイン拡散層領域 2 3 の p n 接合の深さ D 1 の方が、メモリセルトランジスタ側の n 型ソース／ドレイン拡散層領域 2 4 の深さ D 2 よりも浅くなる。

【 0 0 3 5 】

なお、従来の例である、選択ゲートトランジスタのゲート電極間に p 型不純物をイオン注入しなかった場合には、図 1 2 に示すように、選択ゲートトランジスタのゲート電極 1 9 の下で、上記深さ D 1 は、上記深さ D 2 と同じとなる。

【 0 0 3 6 】

また、図 1 3 に示すように、選択ゲートトランジスタの n 型ソース／ドレイン拡散層領域 2 3 及び 2 4 の形状は非対称なものとなり、 p 型シリコン基板 1 (本例では p 型ウェル・チャネル領域 3) とゲート絶縁膜 4 との界面からの深さが等

しい位置（例えば図13中のB-B'線に沿う位置）で、ビット線またはソース線に接続されるn型ソース／ドレイン拡散層領域23とゲート電極19とが重なり合う距離L1が、メモリセルトランジスタに接続されるn型ソース／ドレイン拡散層領域24とゲート電極19とが重なり合う距離L2よりも小さくなる。

【0037】

なお、従来の例である、選択ゲートトランジスタのゲート電極間にp型不純物をイオン注入しなかった場合には、図14に示すように、なお、上記距離L1は、上記L2と同じとなる。

【0038】

図10（または図13）中のB-B'線に沿う位置の不純物濃度分布を図15に示す。

【0039】

図15に示すように、選択ゲートトランジスタにおいて、n型ソース／ドレイン拡散層24からn型ソース／ドレイン拡散層領域23に向かう方向で、チャンネル領域の不純物濃度が異なっており、ビット線またはソース線に接するn型ソース／ドレイン拡散層領域23に接するチャンネル領域の不純物濃度が、メモリセルトランジスタに接するn型ソース／ドレイン拡散層領域24に接するチャンネル領域の不純物濃度よりも濃くなっている。

【0040】

また、選択ゲートトランジスタの、メモリセルトランジスタに接するn型ソース／ドレイン拡散層領域24に接するチャンネル領域の不純物濃度は、メモリセルトランジスタのn型ソース／ドレイン拡散層領域24に接するチャンネル領域の不純物濃度と同じになっている。

【0041】

図16に、従来の例である、選択ゲートトランジスタのゲート電極間にp型不純物をイオン注入しなかった場合の不純物濃度分布を示す。なお、図16は、図28中のB-B'線に沿う位置の不純物濃度分布を示している。図28中のB-B'線の位置は、図15に示すB-B'線の位置と同じである。

【0042】

図16に示す従来の例に比べて、図15に示す本実施形態では、選択ゲートトランジスタの実効チャネル長が増加している。

【0043】

このように本実施形態では、選択ゲートトランジスタのゲート電極間に、チャネルと同じp型不純物をイオン注入することによって、選択ゲートトランジスタの実効的なチャネル長が増加する。これにより、選択ゲートトランジスタのショートチャネル効果が改善されて、そのカットオフ特性が向上する。

【0044】

さらに選択ゲートトランジスタのカットオフ特性が向上することから、メモリセルトランジスタのチャネル領域の不純物濃度は、従来以下に下げることが可能となる。この結果、メモリセルトランジスタにおいては、“1”データ書き込み特性が向上する。即ち、本実施形態のように複数のメモリセルトランジスタを含むメモリセルユニットを持つ、例えばNAND型不揮発性半導体記憶装置においては、非選択書き込みストレスに対する耐性がさらに向上する。

【0045】

また、本実施形態では、選択ゲートトランジスタのしきい値電圧を、メモリセルトランジスタのしきい値電圧より高くする範囲において、選択ゲートトランジスタのしきい値電圧とメモリセルトランジスタのしきい値電圧とを独立に制御できる。このため、選択ゲートトランジスタのカットオフ特性を保持しつつ、データ保持特性や、読み出しストレスに対する耐性などといったメモリセルトランジスタの様々な特性を向上させることができる。

【0046】

つまり、本実施形態による効果は、特にNAND型不揮発性半導体記憶装置に限られて得られるものではなく、メモリセルトランジスタに選択ゲートトランジスタが接続された構造を有する不揮発性半導体記憶装置であれば、有効に得られるものである。

【0047】

次に、図17に示すように、層間絶縁膜25を形成し、図示はしないがレジスト膜を形成し、このレジスト膜に、ビット線またはソース線コンタクト孔に対応

した開口部を開口する。次いで、レジスト膜をマスクに用いて、層間絶縁膜 2 5 をエッチング加工し、コンタクト孔 2 6 を形成する。この後、レジスト膜を除去する。次いで、必要に応じ、コンタクト孔 2 6 を介して、p 型シリコン基板 1 (本例では n 型ソース／ドレイン拡散層 2 3) に n 型不純物をイオン注入し、n 型不純物濃度の濃い領域 2 7 を形成する。

【 0 0 4 8 】

次に、図 1 8 に示すように、コンタクト孔 2 6 内に導電物 (コンタクト埋め込み材：プラグ) を形成し、次いで、一般的に知られた方法により配線層を形成する。これらの工程により、ビット線またはソース線が形成される。図 1 8 では、導電物に接続された配線層をビット線とした構造を特に示す。ソース線の一例は、例えば導電物を利用して形成される。このようにして、n 型ソース／ドレイン拡散層 2 3 にはビット線またはソース線が接続される。なお、導電物は無くてもよく、コンタクト孔 2 6 を配線層により直接埋め込んでも良い。この後、図示はしないが、保護膜を形成して、第 1 の実施形態に係る不揮発性半導体記憶装置が完成する。

【 0 0 4 9 】

なお、本実施形態では、選択ゲートトランジスタのゲート電極間に p 型不純物をイオン注入してから、n 型ソース／ドレイン拡散層領域 2 3、2 4 を形成する n 型不純物をイオン注入しているが、n 型ソース／ドレイン拡散層領域 2 3、2 4 を形成する n 型不純物をイオン注入してから、選択ゲートトランジスタのゲート電極間に p 型不純物をイオン注入しても良い。

【 0 0 5 0 】

(第 2 の実施形態)

本第 2 の実施形態は、メモリセルトランジスタと選択ゲートトランジスタのゲート電極側壁に、TEOS 膜などの絶縁膜が形成され、ビット線またはソース線コンタクト孔が選択ゲートトランジスタのゲート電極間に自己整合的に形成されており、選択ゲートトランジスタのゲート電極とコンタクト孔間の TEOS 膜は剥離されている構造を有する NAND 型不揮発性半導体記憶装置に関する。そして、このような装置において、選択ゲートトランジスタのビット線またはソース

線コンタクト孔側にチャネルと同じ導電型の不純物を注入することにより、選択ゲートトランジスタのカットオフ特性を向上させたものである。以下本第2の実施形態に係る装置をその製造方法とともに説明する。

【0051】

まず、第1の実施形態により説明した方法により、図8に示した二層ゲート電極まで形成する。

【0052】

次に、図19に示すように、メモリセルトランジスタ及び選択ゲートトランジスタのゲート電極の側壁を酸化し、酸化膜20を形成する。次いで、図示はしないがレジスト膜を形成し、このレジスト膜に、フォトリソグラフィ法を用いてメモリセル部に対応した開口部を開口する。次いで、レジスト膜をマスクとして、n型不純物、例えばリン(P)を、メモリセルトランジスタ及び選択ゲートトランジスタのソース/ドレイン拡散層領域が形成される領域にイオン注入し、メモリセルトランジスタ及び選択ゲートトランジスタのn型ソース/ドレイン拡散層領域28を形成する。この後、レジスト膜を除去する。次いで、ホットキャリア特性を良くすることを目的として、例えばTEOS膜などの絶縁膜29を形成する。

【0053】

次に、図20に示すように、レジスト膜30を形成し、このレジスト膜30に、フォトリソグラフィ法を用いて選択ゲートトランジスタのゲート電極間の領域に対応した開口部を開口する。次いで、コンタクト形成の際に、選択ゲートトランジスタのゲート電極とコンタクト埋め込み材とがショートするのを防ぐために、レジスト膜30をマスクに、選択ゲートトランジスタのゲート電極側壁のTEOS膜29を剥離する。次いで、レジスト膜30をマスクに、チャネル（本例ではp型ウェル・チャネル領域3）と同じ導電型のp型不純物、例えばボロン(B)をイオン注入する。なお、このイオン注入は、選択ゲートトランジスタのゲート電極の下に不純物を注入するために、図20中矢印で示すように、角度をつけて2回行うことが望ましい。その結果、選択ゲートトランジスタのゲート電極間のp型シリコン基板1（本例ではp型ウェル・チャネル領域3）内には、p型ウ

エル・チャネル領域 3 よりも p 型不純物濃度の濃い領域 3 1 が形成される。このため、対向する選択ゲートトランジスタ側の n 型ソース／ドレイン拡散領域 3 2 の実効的な不純物濃度（n 型不純物濃度から p 型不純物濃度を引いた濃度）は、第 1 の実施形態と同様に、メモリセルトランジスタ側の n 型ソース／ドレイン拡散層領域 2 8 の実効的な不純物濃度よりも薄くなる。

【 0 0 5 4 】

また、ソース／ドレイン方向における p n 接合の深さも、対向する選択ゲートトランジスタ側の n 型ソース／ドレイン拡散層領域 3 2 の方が、メモリセルトランジスタ側の n 型ソース／ドレイン拡散層領域 2 8 よりも浅くなる。

【 0 0 5 5 】

従って、選択ゲートトランジスタの n 型ソース／ドレイン拡散層領域 2 8 及び 3 2 の形状は非対称なものとなり、p 型シリコン基板 1（本例では p 型ウェル・チャネル領域 3）とゲート絶縁膜 4 との界面からの深さが等しい位置（例えば図 2 0 中の B - B' 線に沿う位置）で、ビット線またはソース線に接続される n 型ソース／ドレイン拡散層領域 3 2 とゲート電極とが重なり合う距離が、メモリセルトランジスタに接続される n 型ソース／ドレイン拡散層領域 2 8 とゲート電極とが重なり合う距離よりも小さくなる。

【 0 0 5 6 】

このような第 2 の実施形態に係る NAND 型不揮発性半導体記憶装置においても、図 2 0 中に示す B - B' 線に沿う位置の不純物濃度分布は、第 1 の実施形態の図 1 5 と同様なものになり、第 1 の実施形態で述べた効果と同様の効果を得ることができる。

【 0 0 5 7 】

さらに本第 2 の実施形態によれば、TEOS 膜 2 9 剥離のためのレジスト膜 3 0 をマスクとしてイオン注入を行う。これによりチャネルよりも不純物濃度の濃い領域を形成するイオン注入のみを目的としたフォトリソグラフィ工程を省略できるので、製造コストを下げることができる。

【 0 0 5 8 】

なお、図 2 0 を参照して説明したイオン注入は、TEOS 膜 2 9 剥離後に行っ

たが、TEOS膜29剥離前に行ってもよい。

【0059】

次に、図21に示すように、レジスト膜30を除去した後、コンタクト孔開口の際のエッチングストッパー材となるシリコン窒化膜33を形成する。この後、層間絶縁膜25を形成する。この後、図示はしないがレジスト膜を形成し、このレジスト膜に、ビット線またはソース線コンタクト孔に対応した開口部を開口する。次いで、レジスト膜をマスクに用いて、層間絶縁膜25をエッチング加工し、選択ゲートトランジスタのゲート電極に対して自己整合的にコンタクト孔34を形成する。この後、レジスト膜を除去する。次いで、必要に応じ、コンタクト孔34を介して、p型シリコン基板1（本例ではn型ソース／ドレイン拡散層32）にn型不純物をイオン注入し、n型不純物濃度の濃い領域35を形成する。

【0060】

この後、図18を参照して説明したように、コンタクト孔34内に導電物（コンタクト埋め込み材）を形成し、一般的に知られた方法により配線層を形成し、保護膜を形成して、第2の実施形態に係る不揮発性半導体記憶装置が完成する。

【0061】

（第3の実施形態）

本第3の実施形態は、ビット線またはソース線コンタクト孔が選択ゲートトランジスタのゲート電極間に自己整合的に形成されているNAND型不揮発性半導体記憶装置に関する。そして、このような装置において、コンタクト孔を介して選択ゲートトランジスタのビット線またはソース線コンタクト側にチャネルと同じ導電型の不純物を注入することにより、選択ゲートトランジスタのカットオフ特性を向上させたものである。以下本第3の実施形態に係る装置をその製造方法とともに説明する。

【0062】

まず、第1の実施形態により説明した方法により、図8に示した二層ゲート電極まで形成する。

【0063】

次に、図22に示すように、メモリセルトランジスタ及び選択ゲートトランジ

スタのゲート電極の側壁を酸化し、酸化膜20を形成する。次いで、図示はしないがレジスト膜を形成し、このレジスト膜に、フォトリソグラフィ法を用いてメモリセル部に対応した開口部を開口する。次いで、レジスト膜をマスクとして、 n 型不純物、例えばリン(P)を、メモリセルトランジスタ及び選択ゲートトランジスタのソース/ドレイン拡散層領域が形成される領域にイオン注入し、メモリセルトランジスタ及び選択ゲートトランジスタの n 型ソース/ドレイン拡散層領域36を形成する。この後、レジスト膜を除去する。

【0064】

次に、図23に示すように、コンタクト孔開口の際のエッチングストッパーとなるシリコン窒化膜33を形成した後、層間絶縁膜25を形成する。

【0065】

次に、図24に示すように、この後、図示はしないがレジスト膜を形成し、このレジスト膜に、ビット線またはソース線コンタクト孔に対応した開口部を開口する。次いで、レジスト膜をマスクに用いて、層間絶縁膜25をエッチング加工し、選択ゲートトランジスタのゲート電極に対して自己整合的にコンタクト孔37を形成する。この後、レジスト膜を除去する。次いで、コンタクト孔37を介して、チャネル(本例では p 型ウェル・チャネル領域3)と同じ導電型の p 型不純物、例えばボロン(B)をイオン注入する。なお、このイオン注入は、選択ゲートトランジスタのゲート電極の下に不純物を注入するために、図24中矢印で示すように、角度をつけて2回行うことが望ましい。その結果、選択ゲートトランジスタのゲート電極間の p 型シリコン基板1(本例では p 型ウェル・チャネル領域3)内には、 p 型ウェル・チャネル領域3よりも p 型不純物濃度の濃い領域38が形成される。このため、対向する選択ゲートトランジスタ側の n 型ソース/ドレイン拡散領域39の実効的な不純物濃度(n 型不純物濃度から p 型不純物濃度を引いた濃度)は、第1の実施形態と同様に、メモリセルトランジスタ側の n 型ソース/ドレイン拡散層領域36の実効的な不純物濃度よりも薄くなる。

【0066】

また、ソース/ドレイン方向における p - n 接合の深さも、対向する選択ゲートトランジスタ側の n 型ソース/ドレイン拡散層領域39の方が、メモリセルトラ

ンジスタ側のn型ソース／ドレイン拡散層領域36よりも浅くなる。

【0067】

従って、選択ゲートトランジスタのn型ソース／ドレイン拡散層領域36及び39の形状は非対称なものとなり、p型シリコン基板1（本例ではp型ウェル・チャンネル領域3）とゲート絶縁膜4との界面からの深さが等しい位置（例えば図24中のB-B'線に沿う位置）で、ビット線またはソース線に接続されるn型ソース／ドレイン拡散層領域39とゲート電極とが重なり合う距離が、メモリセルトランジスタに接続されるn型ソース／ドレイン拡散層領域36とゲート電極とが重なり合う距離よりも小さくなる。

【0068】

このような第3の実施形態に係るNAND型不揮発性半導体記憶装置においても、図24中に示すB-B'線に沿う位置の不純物濃度分布は、第1の実施形態の図15と同様なものになり、第1の実施形態で述べた効果と同様の効果を得ることができる。

【0069】

さらに本第3の実施形態によれば、選択ゲートトランジスタのゲート電極に対して自己整合的に形成されたコンタクト孔を介してイオン注入を行うことにより、第2の実施形態で説明したようなTEOS膜剥離のためのフォトリソグラフィ工程が無い場合でも、チャンネルよりも不純物濃度の濃い領域を形成するイオン注入のみを目的としたフォトリソグラフィ工程を増加させることなく、選択ゲートトランジスタのカットオフ特性を向上させることができる。このため、例えば第1の実施形態に比べて、製造コストを下げることができる。

【0070】

ただし、第2の実施形態で説明したようなTEOS膜剥離のためのフォトリソグラフィ工程が有る場合でも、本第3の実施形態のように選択ゲートトランジスタのゲート電極に対して、自己整合的に形成されたコンタクト孔を介してイオン注入を行うことも可能である。この場合にも、製造コストを下げられる利点はある。

【0071】

次いで、必要に応じ、コンタクト孔 37 を介して、p 型シリコン基板 1（本例では n 型ソース／ドレイン拡散層 39）に n 型不純物をイオン注入し、n 型不純物濃度の濃い領域 40 を形成する。

【0072】

この後、図 18 を参照して説明したように、コンタクト孔 37 内に導電物（コンタクト埋め込み材）を形成し、一般的に知られた方法により配線層を形成し、保護膜を形成して、第 3 の実施形態に係る不揮発性半導体記憶装置が完成する。

【0073】

（第 4 の実施形態）

本第 4 の実施形態では、メモリセルトランジスタのゲート電極間に不純物が注入されず、選択ゲートトランジスタのゲート電極間のみに不純物が注入されるような角度で、選択ゲートトランジスタのビット線またはソース線コンタクト側にチャネルと同じ導電型の不純物を注入して、選択ゲートトランジスタのカットオフ特性を向上させたものである。

【0074】

まず、第 1 の実施形態により説明した方法により、図 8 に示した二層ゲート電極まで形成する。

【0075】

次に、図 25 に示すように、メモリセルトランジスタ及び選択ゲートトランジスタのゲート電極の側壁を酸化し、酸化膜 20 を形成する。次いで、図示はしないがレジスト膜を形成し、このレジスト膜に、フォトリソグラフィ法を用いてメモリセル部に対応した開口部を開口する。次いで、チャネル（本例では p 型ウェル・チャネル領域 3）と同じ導電型の p 型不純物、例えばボロン（B）をイオン注入する。このときのイオン注入の角度 θ は、以下のようになる。

【0076】

一般に、不揮発性半導体記憶装置において、選択ゲートトランジスタのゲート電極間の距離 l_{SGT} は、ビット線またはソース線とコンタクトさせる必要性があることから、メモリセルトランジスタのゲート電極間の距離及びメモリセルトランジスタのゲート電極と選択ゲートトランジスタのゲート電極との間の距離 l_{CE}

LLよりも大きくなっている。このため、図25に示すように、ゲート電極が遮蔽物となって、メモリセルトランジスタのゲート電極間及びメモリセルトランジスタのゲート電極と選択ゲートトランジスタのゲート電極との間のp型シリコン基板1（本例ではp型ウェル・チャネル領域3）内に、不純物が注入されない角度 θ_1 が存在する。同様に、選択ゲートトランジスタのゲート電極間のp型シリコン基板1内に、不純物が注入されない角度 θ_2 が存在する。従って、イオン注入の角度 θ を“ $\theta_1 < \theta < \theta_2$ ”の条件を満たすようにして不純物を注入すると、選択ゲートトランジスタのゲート電極間のp型シリコン基板1内にのみ、不純物を注入することができる。

【0077】

上記角度 θ_1 の具体的規定の一例は、p型シリコン基板1に対して垂直な直線を、選択ゲートトランジスタのゲート電極のメモリセルトランジスタ側側壁最低点を回転中心として回転させたとき、上記直線がメモリセルトランジスタのゲート電極に交わる範囲にある角度である。

【0078】

また、上記角度 θ_2 の具体的規定の一例は、p型シリコン基板1に対して垂直な直線を、選択ゲートトランジスタのゲート電極の対向する選択ゲートトランジスタ側側壁最低点を回転中心として回転させたとき、上記直線が対向する選択ゲートトランジスタのゲート電極に交わらない範囲にある角度である。

【0079】

なお、このイオン注入は、選択ゲートトランジスタのゲート電極の下に不純物を注入するために、図25中矢印で示すように、“ $\pm\theta$ ”の角度をつけて2回行うことが望ましい。その結果、選択ゲートトランジスタのゲート電極間のp型シリコン基板1内（本例ではp型ウェル・チャネル領域3）には、p型ウェル・チャネル領域3よりもp型不純物濃度の濃い領域41が形成される。

【0080】

次いで、図26に示すように、引き続きメモリセル部に対応した開口部を持つレジスト膜（図示せず）をマスクとして、n型不純物、例えばリン（P）を、メモリセルトランジスタ及び選択ゲートトランジスタのソース／ドレイン拡散層領

域が形成される領域にイオン注入し、メモリセルトランジスタ及び選択ゲートトランジスタのn型ソース/ドレイン拡散層領域42、43を形成する。この後、レジスト膜を除去する。

【0081】

このとき、選択ゲートトランジスタのゲート電極間のp型シリコン基板1（本実施形態ではp型ウェル・チャネル領域3）内には、p型ウェル・チャネル領域3よりもp型不純物濃度の濃い領域41が形成されている。このため、対向する選択ゲートトランジスタ側のn型ソース/ドレイン拡散層領域43の実効的な不純物濃度（n型不純物濃度からp型不純物濃度を引いた濃度）は、メモリセルトランジスタ側のn型ソース/ドレイン拡散層42の実効的な不純物濃度よりも薄くなる。

【0082】

また、ソース/ドレイン方向におけるpn接合の深さも、対向する選択ゲートトランジスタ側のn型ソース/ドレイン拡散層領域43の方が、メモリセルトランジスタ側のn型ソース/ドレイン拡散層領域42よりも浅くなる。

【0083】

従って、選択ゲートトランジスタのn型ソース/ドレイン拡散層領域42及び43の形状は非対称なものとなり、p型シリコン基板1（本例ではp型ウェル・チャネル領域3）とゲート絶縁膜4との界面からの深さが等しい位置（例えば図26中のB-B'線に沿う位置）で、ビット線またはソース線に接続されるn型ソース/ドレイン拡散層領域43とゲート電極とが重なり合う距離が、メモリセルトランジスタに接続されるn型ソース/ドレイン拡散層領域42とゲート電極とが重なり合う距離よりも小さくなる。

【0084】

このような第4の実施形態に係るNAND型不揮発性半導体記憶装置においても、図26中に示すB-B'線に沿う位置の不純物濃度分布は、第1の実施形態の図15と同様なものになり、第1の実施形態で述べた効果と同様の効果を得ることができる。

【0085】

さらに本第4の実施形態によれば、イオン注入の角度 θ を“ $\theta_1 < \theta < \theta_2$ ”の条件を満たすようにして不純物を注入することにより、チャネルよりも不純物濃度の濃い領域を形成するイオン注入のみを目的としたフォトリソグラフィ工程を増加させることなく、選択ゲートトランジスタのカットオフ特性を向上させることができる。このため、例えば第1の実施形態に比べて、製造コストを下げることができる。

【0086】

次に、図27に示すように、層間絶縁膜25を形成する。この後、図示はしないがレジスト膜を形成し、このレジスト膜に、ビット線またはソース線コンタクト孔に対応した開口部を開口する。次いで、レジスト膜をマスクに用いて、層間絶縁膜25をエッチング加工し、コンタクト孔26を形成する。この後、レジスト膜を除去する。次いで、必要に応じ、コンタクト孔26を介して、p型シリコン基板1（本例ではn型ソース／ドレイン拡散層43）にn型不純物をイオン注入し、n型不純物濃度の濃い領域44を形成する。

【0087】

この後、図18を参照して説明したように、コンタクト孔26内に導電物（コンタクト埋め込み材）を形成し、一般的に知られた方法により配線層を形成し、保護膜を形成して、第2の実施形態に係る不揮発性半導体記憶装置が完成する。

【0088】

なお、本実施形態では、ビット線またはソース線コンタクト孔26を、選択ゲートトランジスタのゲート電極に対して自己整合的に形成していない例を示しているが、ビット線またはソース線コンタクト孔26を、選択ゲートトランジスタのゲート電極に対して自己整合的に形成することも可能である。

【0089】

また、本実施形態では、選択ゲートトランジスタのゲート電極間に、“ $\theta_1 < \theta < \theta_2$ ”の条件を満たす角度 θ でp型不純物を、選択ゲートトランジスタのゲート電極間にイオン注入してから、n型ソース／ドレイン拡散層領域42、43を形成するn型不純物をイオン注入しているが、n型ソース／ドレイン拡散層領域42、43を形成するn型不純物をイオン注入してから、選択ゲートトランジ

スタのゲート電極間に、上記角度 θ でp型不純物をイオン注入しても良い。

【0090】

以上、この発明を第1～第4の実施形態により説明したが、この発明は、これら実施形態それぞれに限定されるものではなく、その実施に際しては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【0091】

例えば第1～第4の実施形態では、ウェル・チャネル領域3の形成及びゲート絶縁膜4の形成後に、素子分離領域17の形成を行っているが、素子分離領域17の形成後に、ウェル・チャネル領域3の形成を行ってもかまわない。

【0092】

また、第1～第4の実施形態では図示していないが、一般的に知られた方法を用いて、一般的に知られた方法を用いてゲート電極に側壁を形成し、n型不純物を濃くイオン注入することにより、メモリセルトランジスタ及び選択ゲートトランジスタのn型ソース/ドレイン拡散層領域をLDD (Lightly Doped Drain) 構造にしても良い。

【0093】

また、第1～第4の実施形態では、複数のメモリセルトランジスタを含むメモリセルユニットを持つ不揮発性半導体記憶装置を例示したが、本発明は、これに限られるものではなく、少なくとも1つのメモリセルトランジスタを含むメモリセルユニットを持つ半導体記憶装置であれば、上記効果をもって適用可能である。

【0094】

また、上記第1～第4の実施形態はそれぞれ単独、または適宜組み合わせで実施することも、もちろん可能である。

【0095】

さらに上記第1～第4の実施形態それぞれには、種々の段階の発明が含まれており、上記第1～第4の実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0096】

【発明の効果】

以上説明したように、この発明によれば、データ書き込み特性、データ保持特性、読み出しストレスに対する耐性などのメモリセルトランジスタの様々な特性と、選択ゲートトランジスタのカットオフ特性とをともに良好にできる不揮発性半導体記憶装置およびその製造方法を提供できる。

【図面の簡単な説明】

【図 1】

図 1 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 2】

図 2 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 3】

図 3 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 4】

図 4 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 5】

図 5 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 6】

図 6 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 7】

図 7 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置のメモリセル部の一部分を示す平面図。

【図 8】

図 8 は図 7 中の A - A' 線に沿う断面図。

【図 9】

図 9 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 1 0】

図 1 0 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 1 1】

図 1 1 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の断面図。

【図 1 2】

図 1 2 は従来の不揮発性半導体記憶装置の断面図。

【図 1 3】

図 1 3 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の断面図。

【図 1 4】

図 1 4 は従来の不揮発性半導体記憶装置の断面図。

【図 1 5】

図 1 5 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の不純物濃度分布を示す不純物濃度分布図。

【図 1 6】

図 1 6 は従来の不揮発性半導体記憶装置の不純物濃度分布を示す不純物濃度分布図。

【図 1 7】

図 1 7 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 1 8】

図 1 8 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 1 9】

図 1 9 はこの発明の第 2 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 2 0】

図 2 0 はこの発明の第 2 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 2 1】

図 2 1 はこの発明の第 2 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 2 2】

図 2 2 はこの発明の第 3 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 2 3】

図 2 3 はこの発明の第 3 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 2 4】

図 2 4 はこの発明の第 3 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 2 5】

図 2 5 はこの発明の第 4 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 2 6】

図 2 6 はこの発明の第 4 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 2 7】

図 2 7 はこの発明の第 4 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 2 8】

図 2 8 は従来の半導体記憶装置の断面図。

【符号の説明】

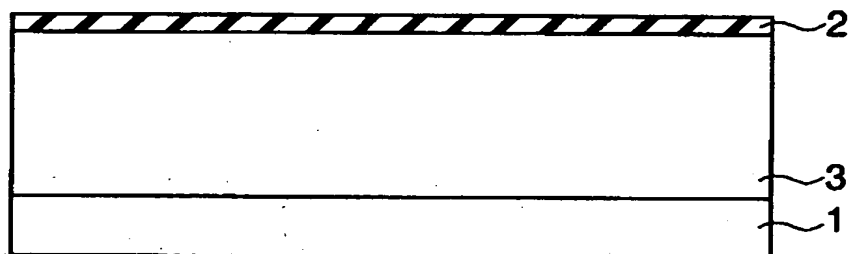
- 1 … p 型シリコン基板、
- 2 … バッファ酸化膜、

- 3…p型ウェル・チャネル領域、
- 4…ゲート絶縁膜、
- 5…ポリシリコン膜、
- 6…シリコン窒化膜、
- 7…レジスト膜、
- 8…STIの溝、
- 9…薄いシリコン酸化膜、
- 10…シリコン酸化膜、
- 11…ポリシリコン膜、
- 12…スリット、
- 13…ONO膜、
- 14…ポリシリコン/WSi積層膜、
- 15…シリコン窒化膜、
- 16…素子領域、
- 17…素子分離領域、
- 18…メモリセルトランジスタのゲート電極、
- 19…選択ゲートトランジスタのゲート電極、
- 20…酸化膜、
- 21…レジスト膜、
- 22…p型不純物濃度の濃い領域、
- 23…ビット線またはソース線に接するn型ソース/ドレイン拡散層領域、
- 24…n型ソース/ドレイン拡散層領域、
- 25…層間絶縁膜、
- 26…コンタクト孔、
- 27…n型不純物濃度の濃い領域、
- 28…n型ソース/ドレイン拡散層領域、
- 29…TEOS膜などの絶縁膜、
- 30…レジスト膜、
- 31…p型不純物濃度の濃い領域、

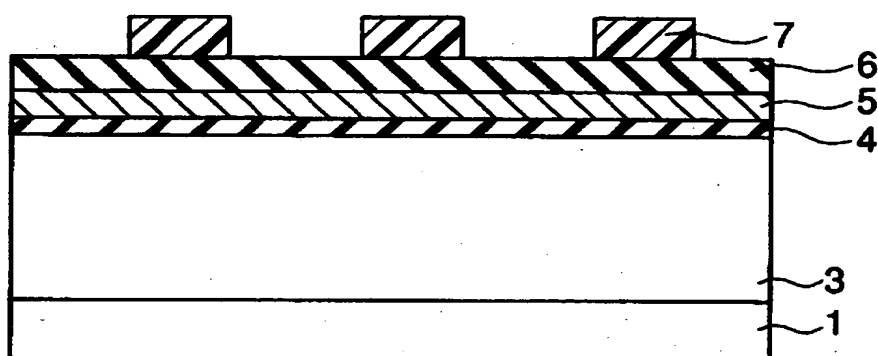
- 3 2 …ビット線またはソース線に接する n 型ソース／ドレイン拡散層領域、
- 3 3 …シリコン窒化膜、
- 3 4 …自己整合的に形成されたコンタクト孔、
- 3 5 … n 型不純物濃度の濃い領域、
- 3 6 … n 型ソース／ドレイン拡散層領域、
- 3 7 …自己整合的に形成されたコンタクト孔、
- 3 8 … p 型不純物濃度の濃い領域、
- 3 9 …ビット線またはソース線に接する n 型ソース／ドレイン拡散層領域、
- 4 0 … n 型不純物濃度の濃い領域、
- 4 1 … p 型不純物濃度の濃い領域、
- 4 2 … n 型ソース／ドレイン拡散層領域、
- 4 3 …ビット線またはソース線に接する n 型ソース／ドレイン拡散層領域、
- 4 4 … n 型不純物濃度の濃い領域。

【書類名】 図面

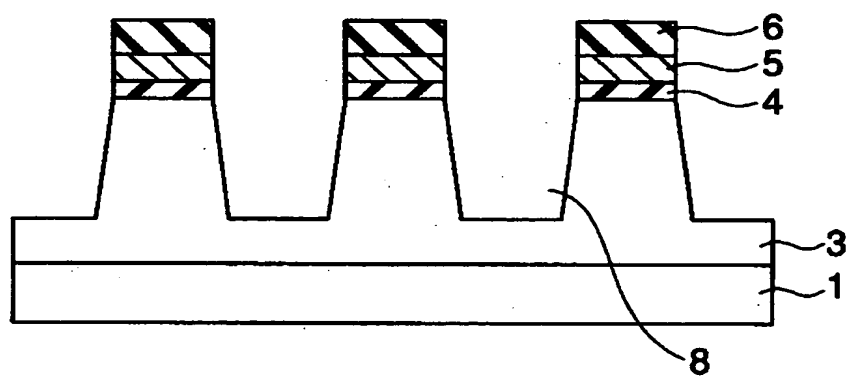
【図 1】



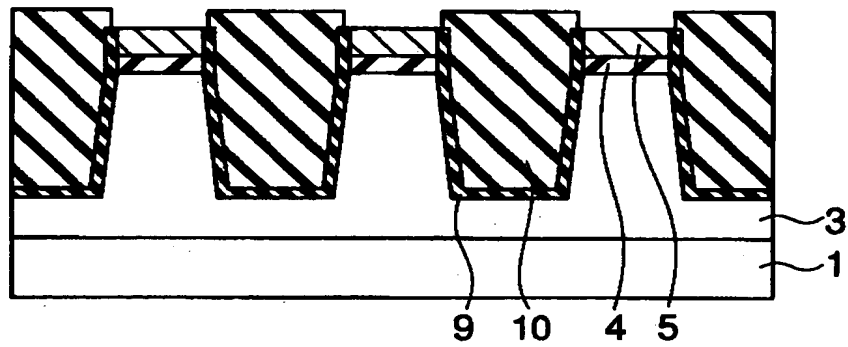
【図 2】



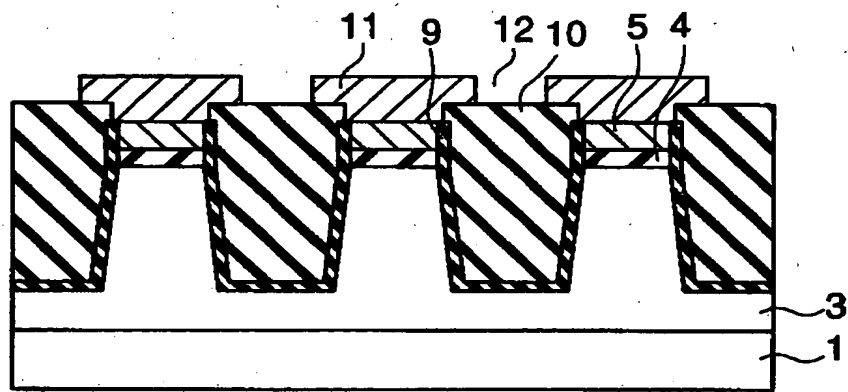
【図 3】



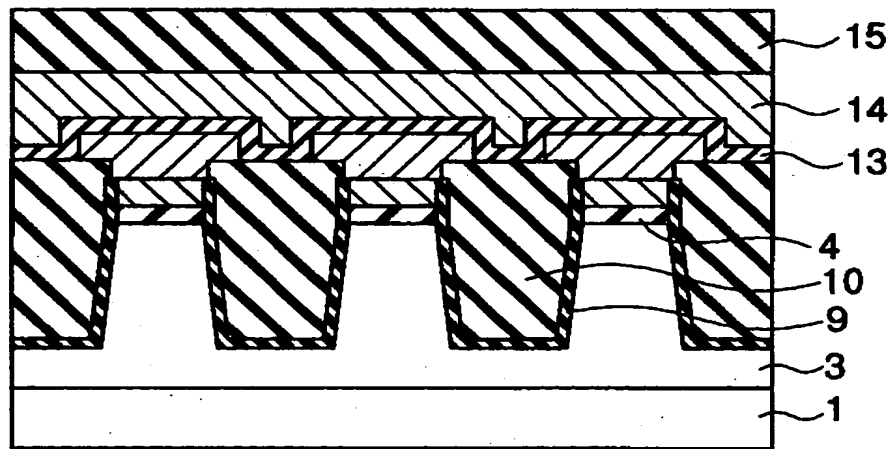
【図4】



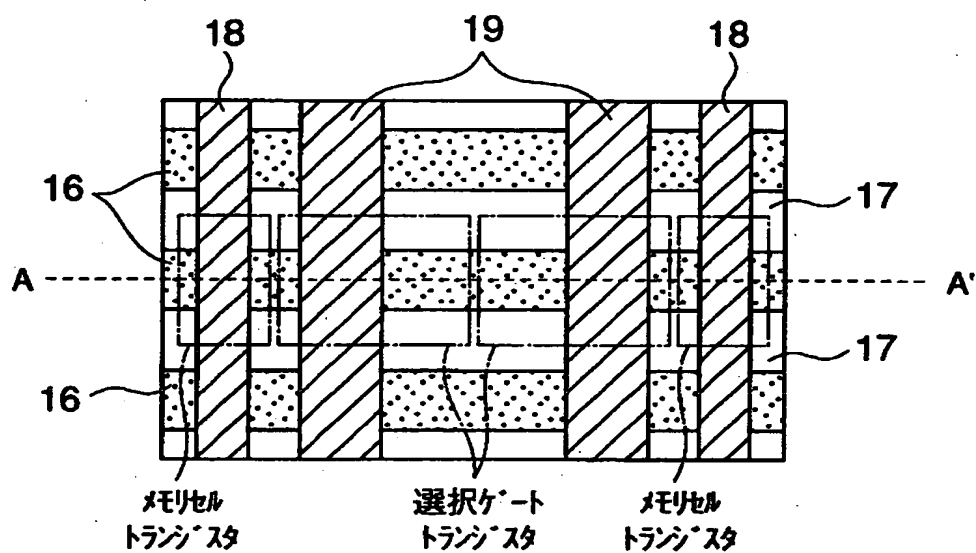
【図5】



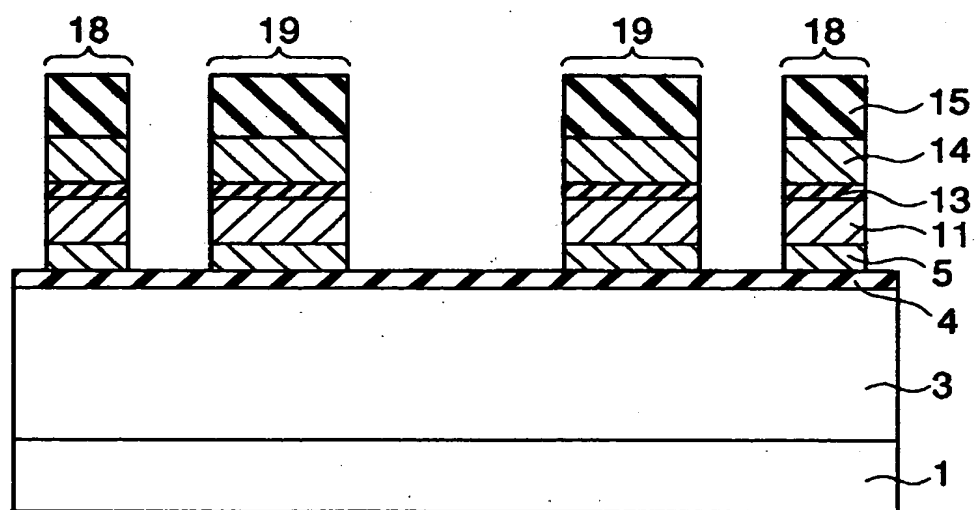
【図6】



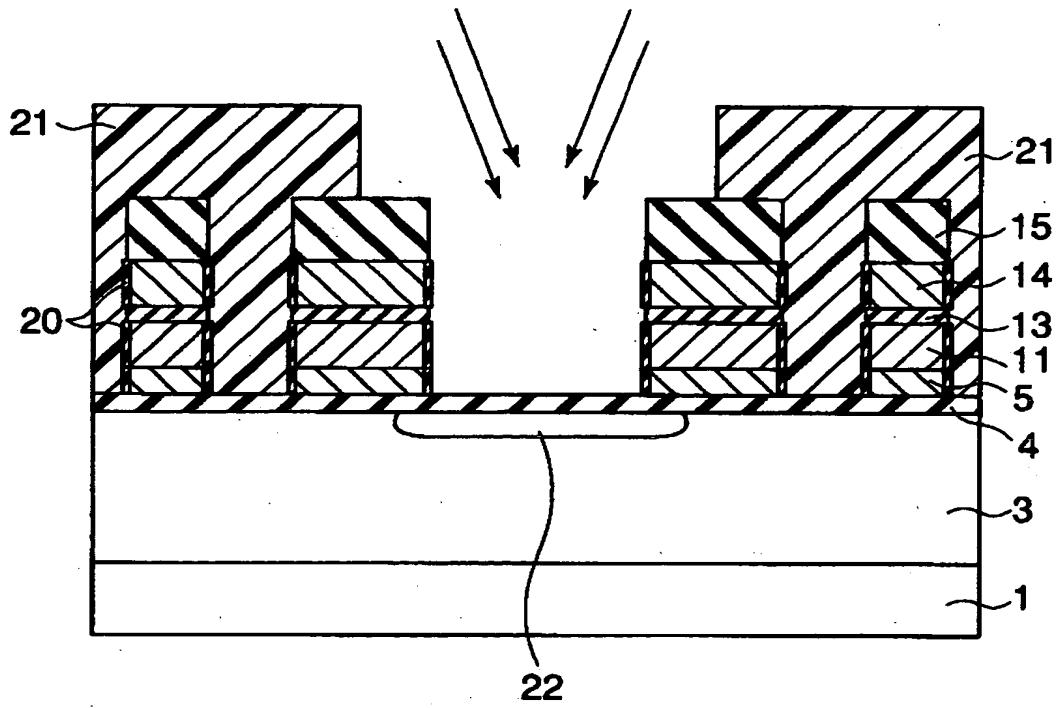
【図 7】



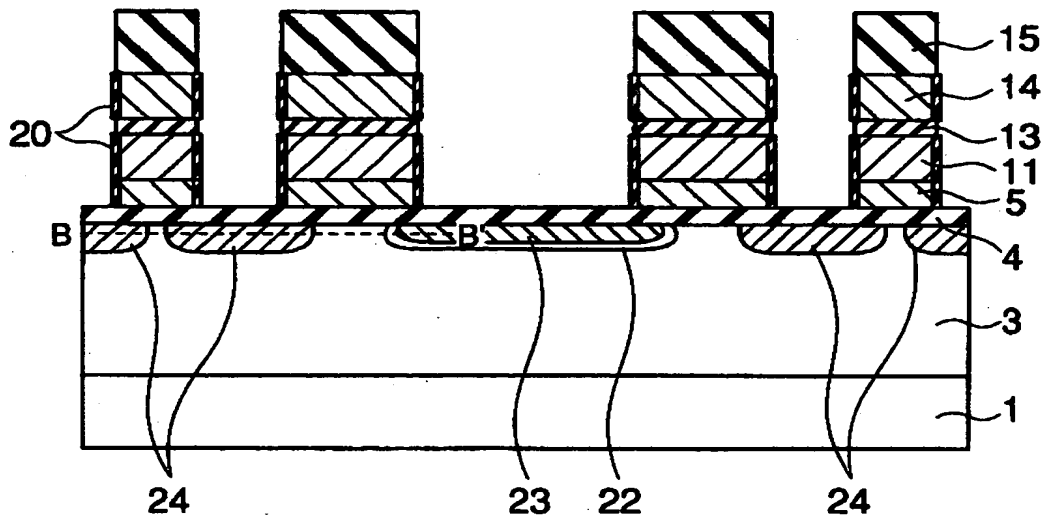
【図 8】



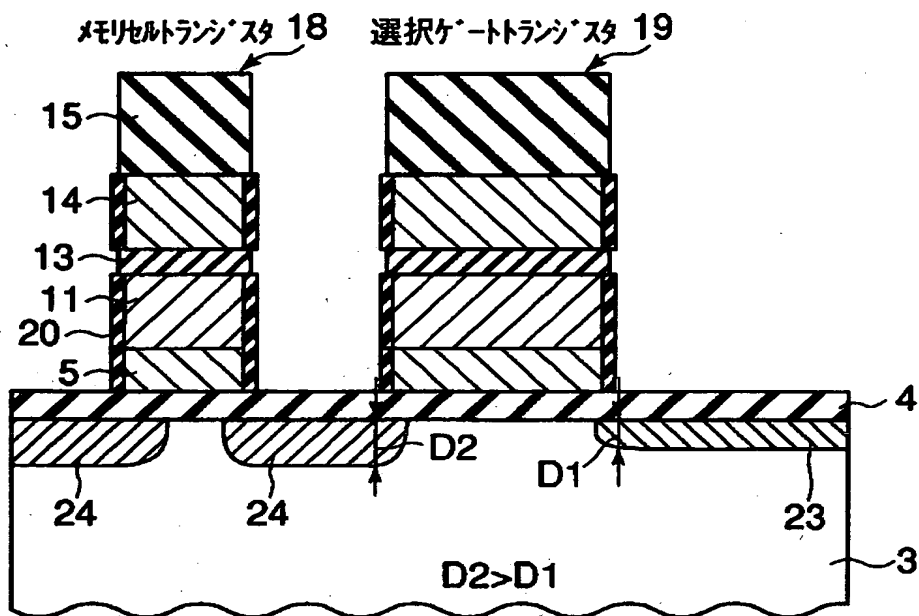
【図 9】



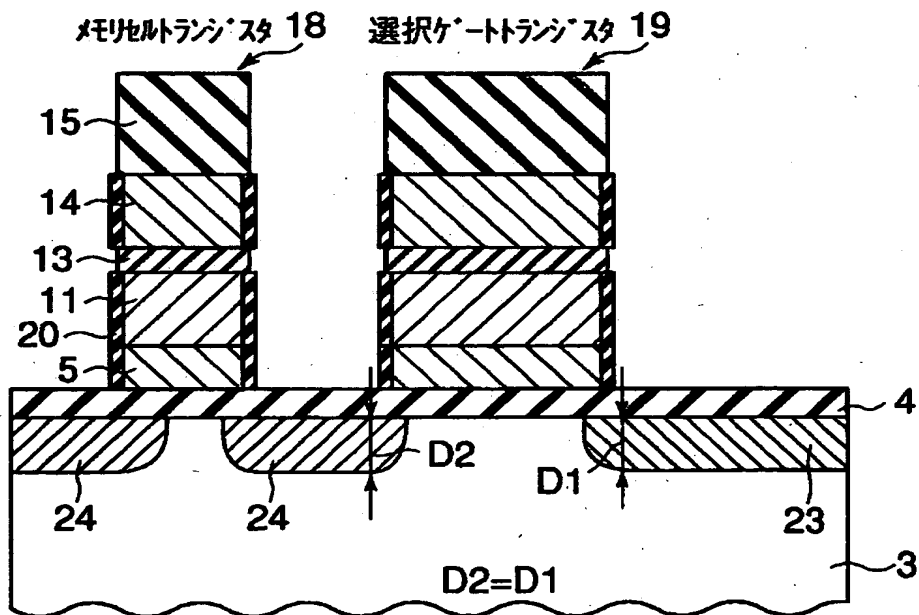
【図 10】



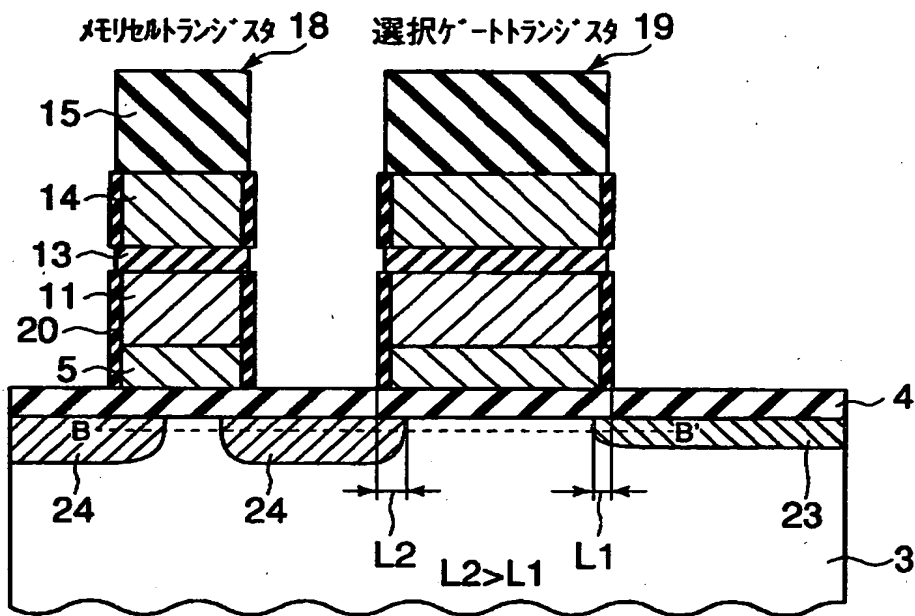
【図 1 1】



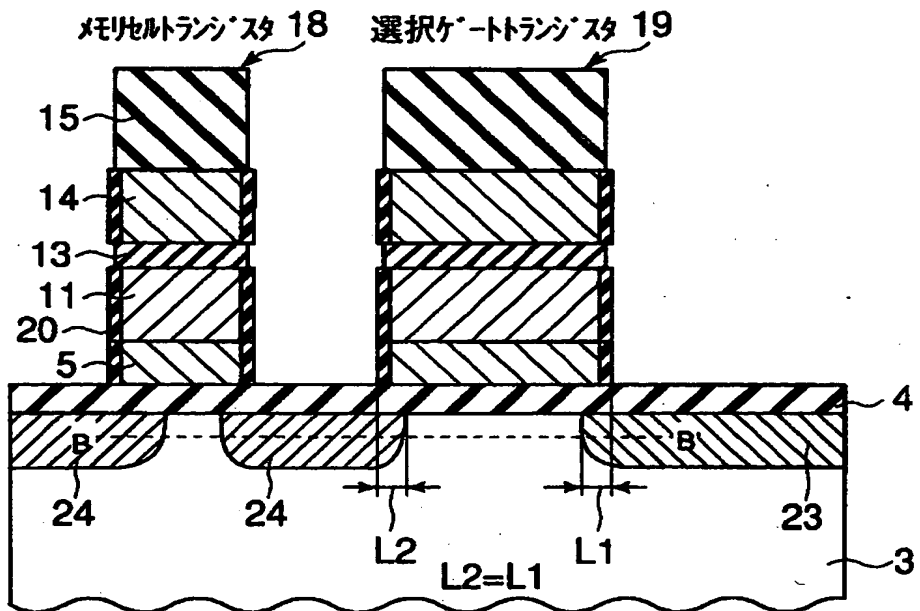
【図 1 2】



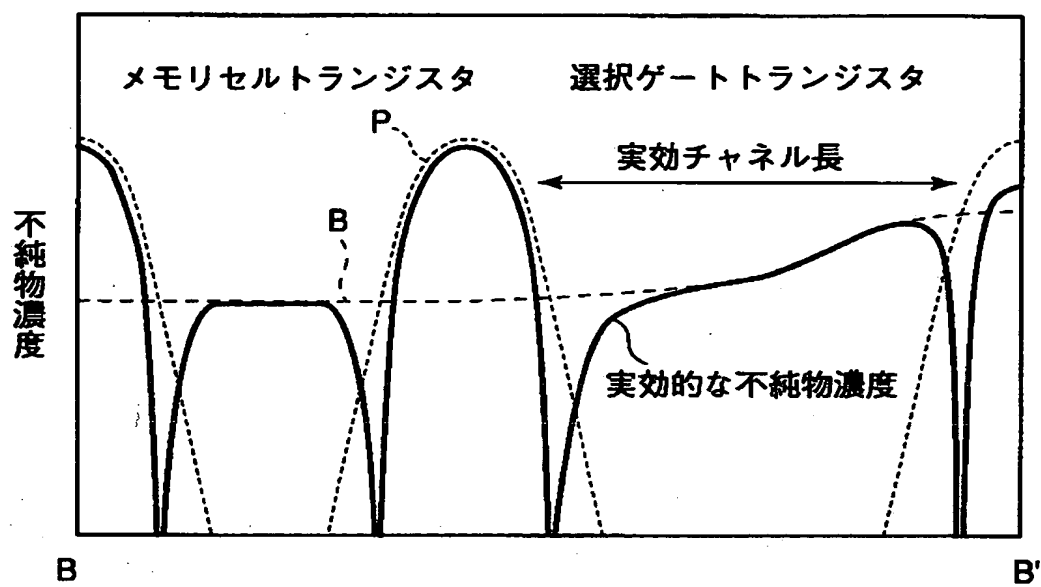
【図 13】



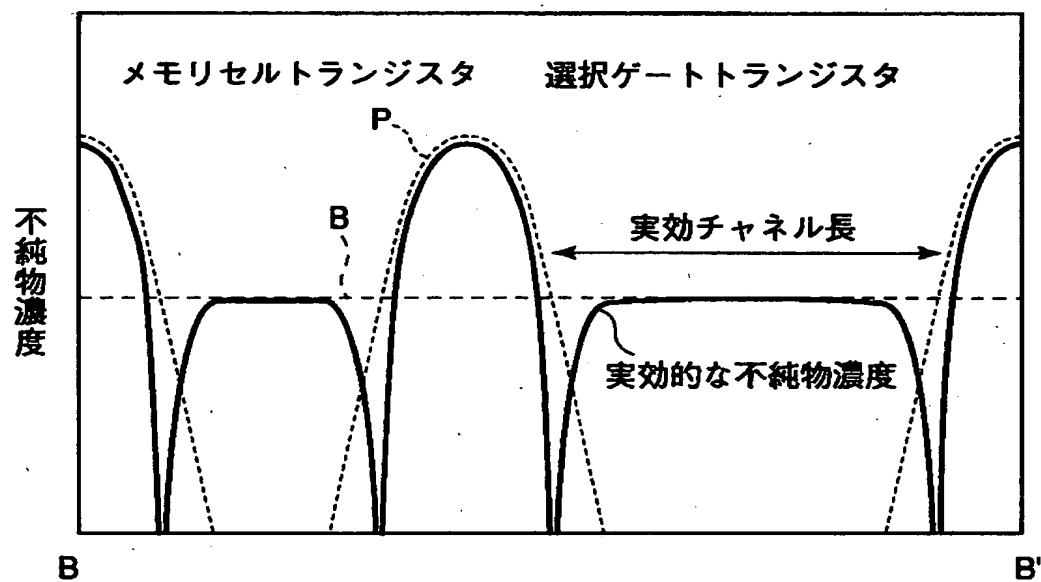
【図 14】



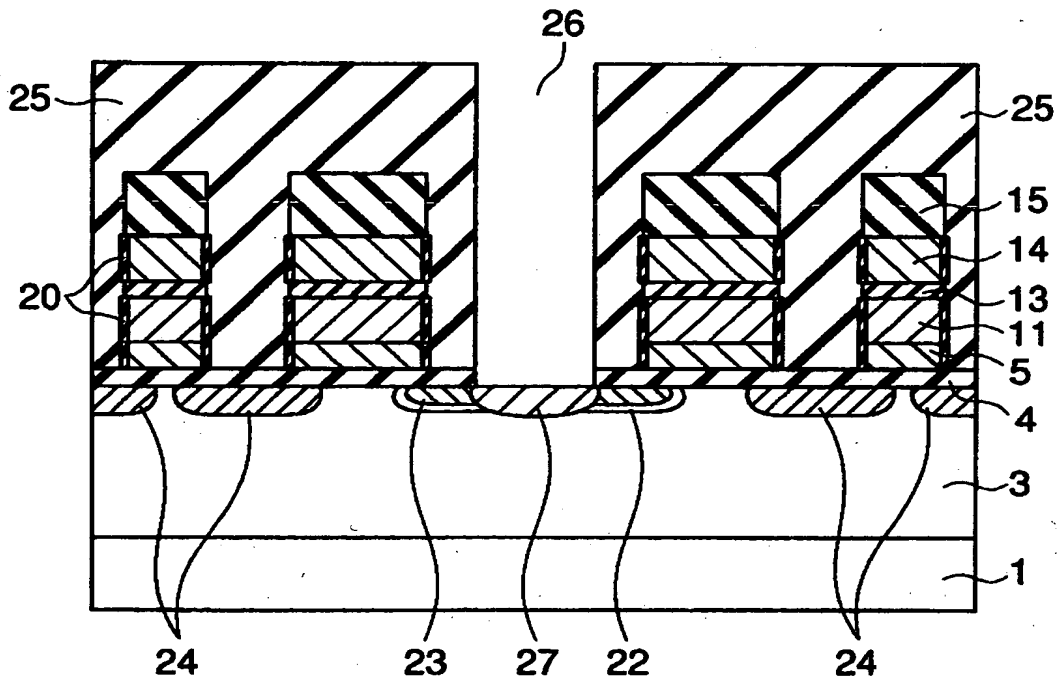
【図 15】



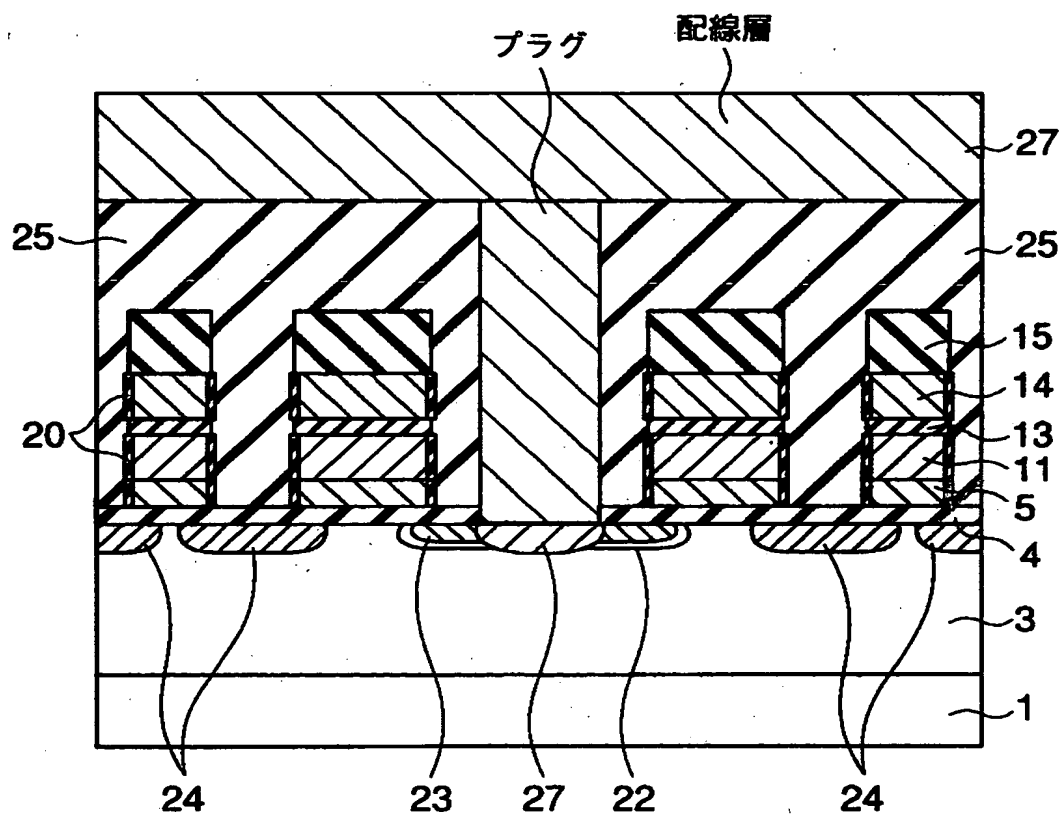
【図 16】



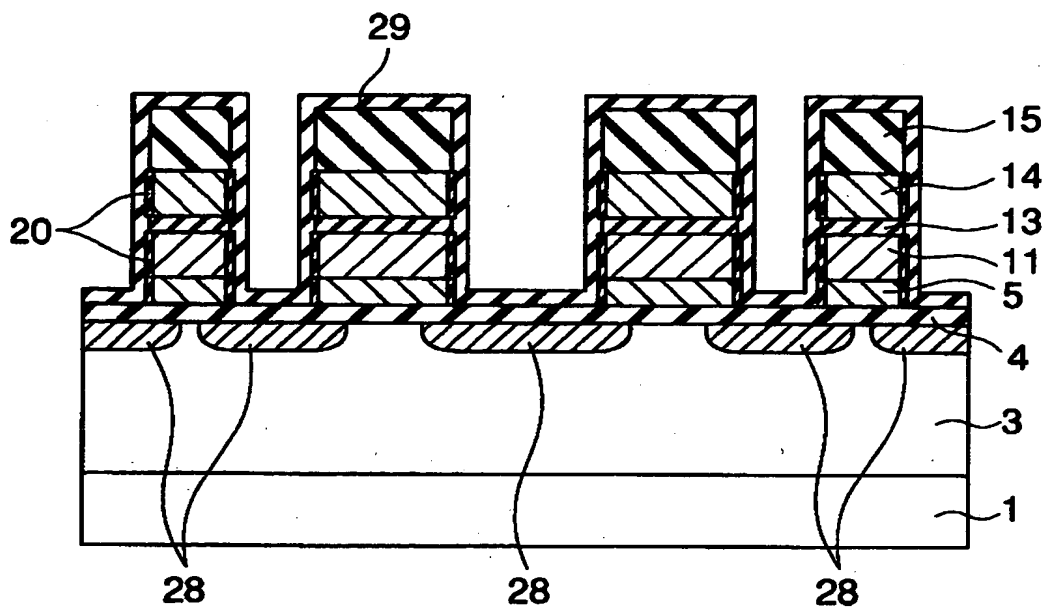
【図17】



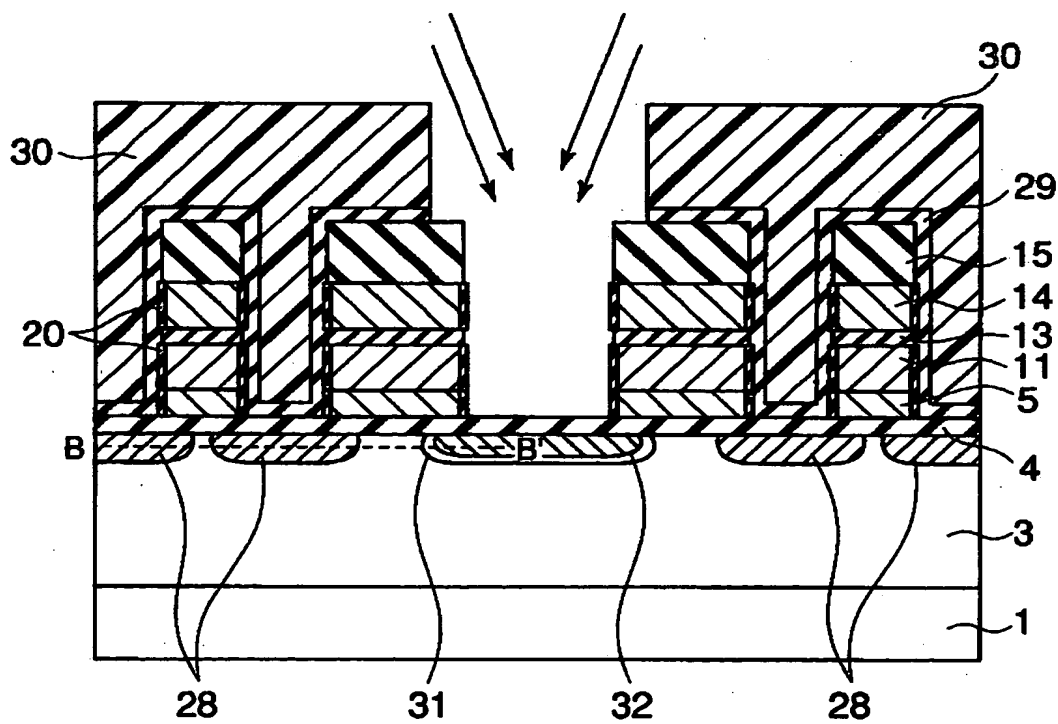
【図 18】



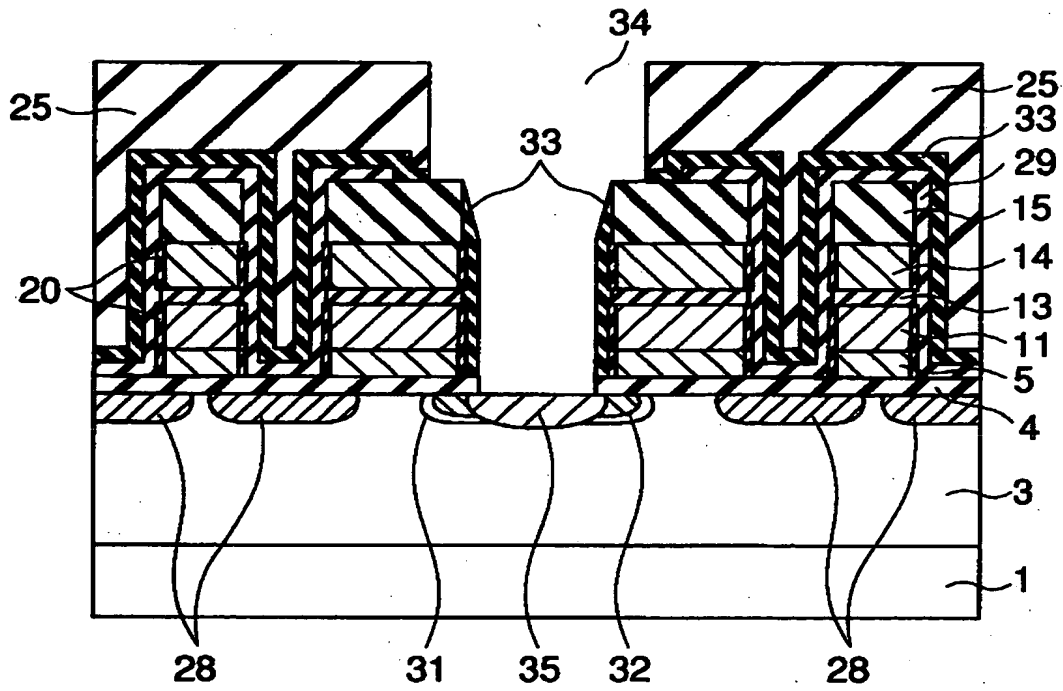
【図 19】



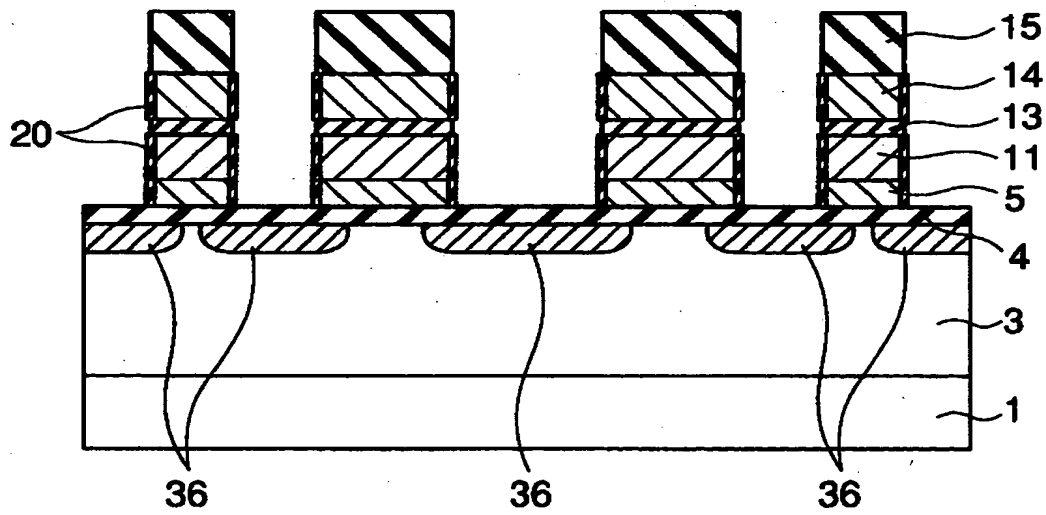
【図 20】



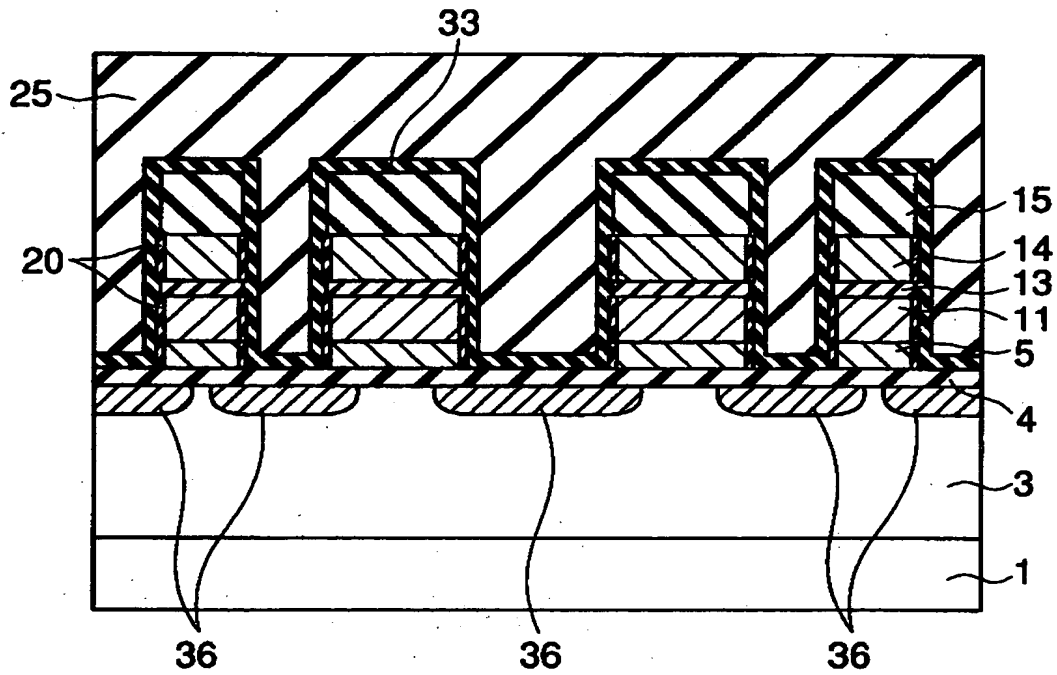
【図 2 1】



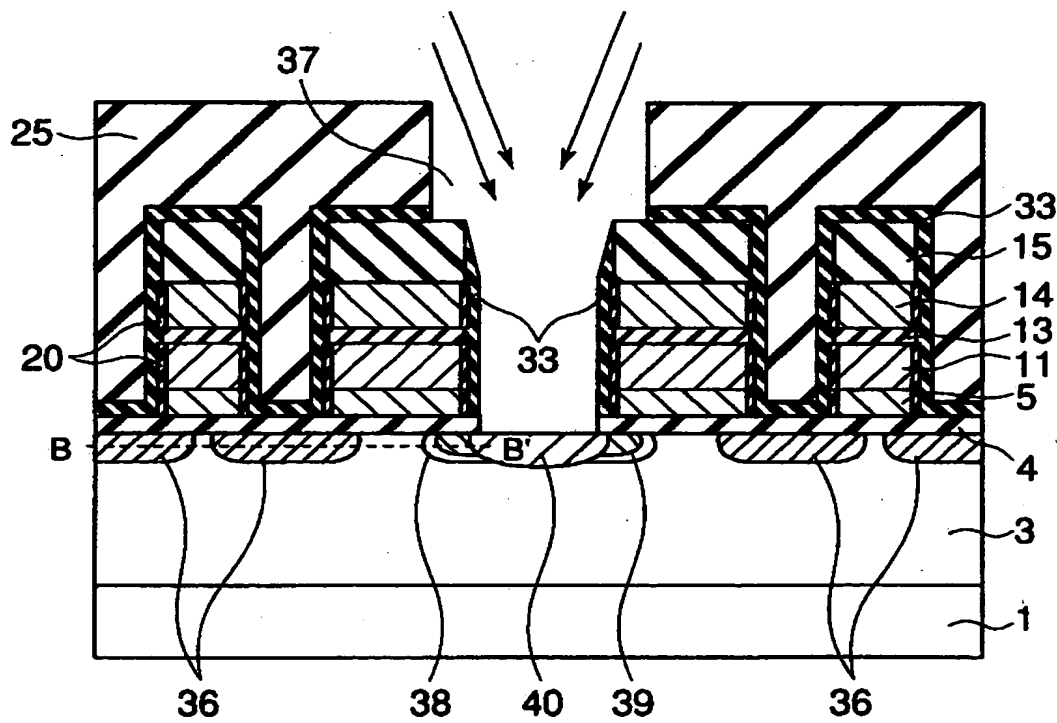
【図 2 2】



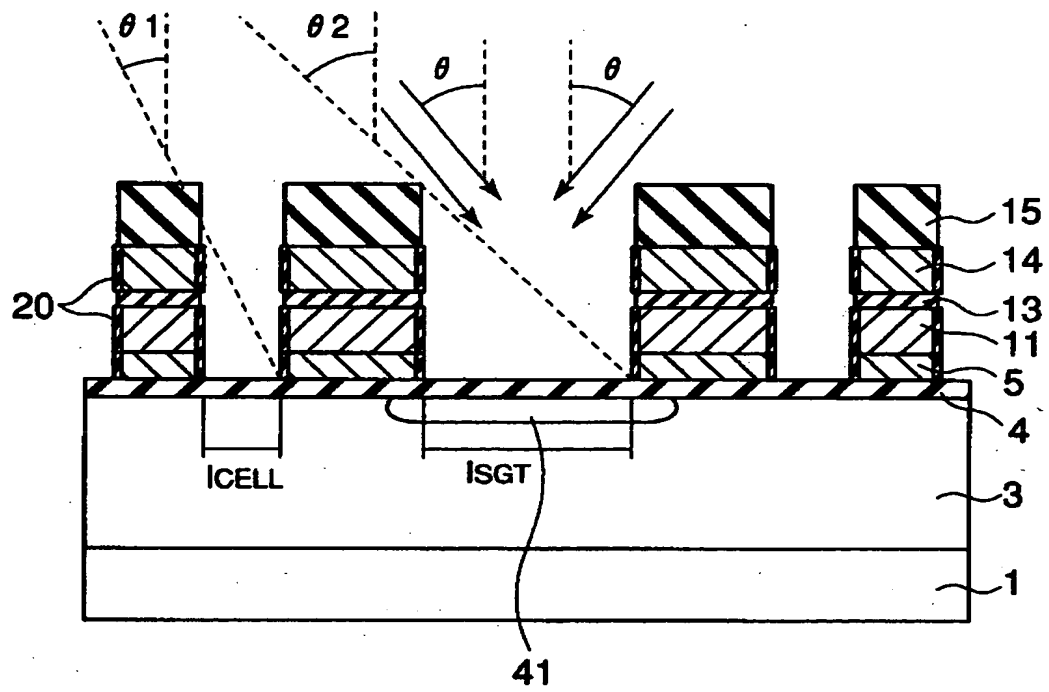
【図 23】



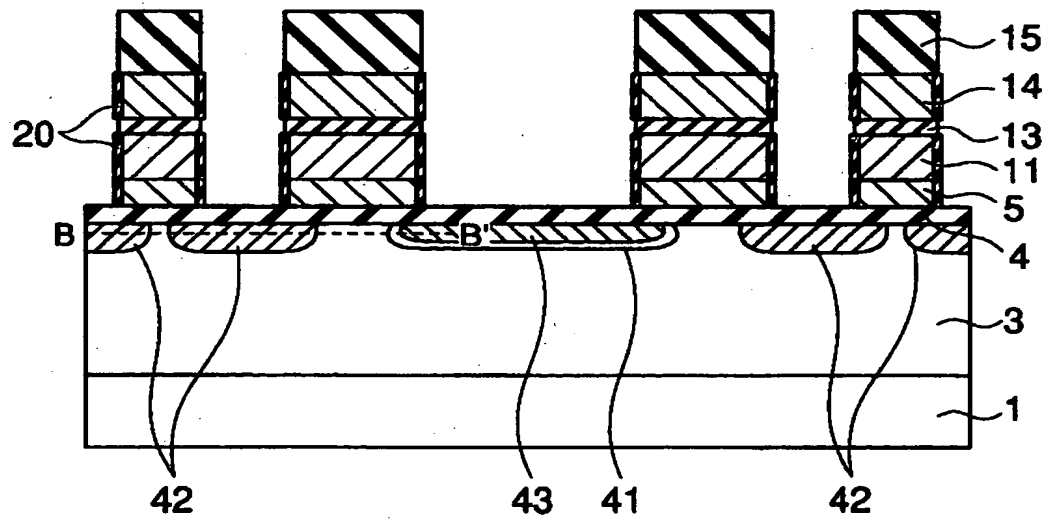
【図 24】



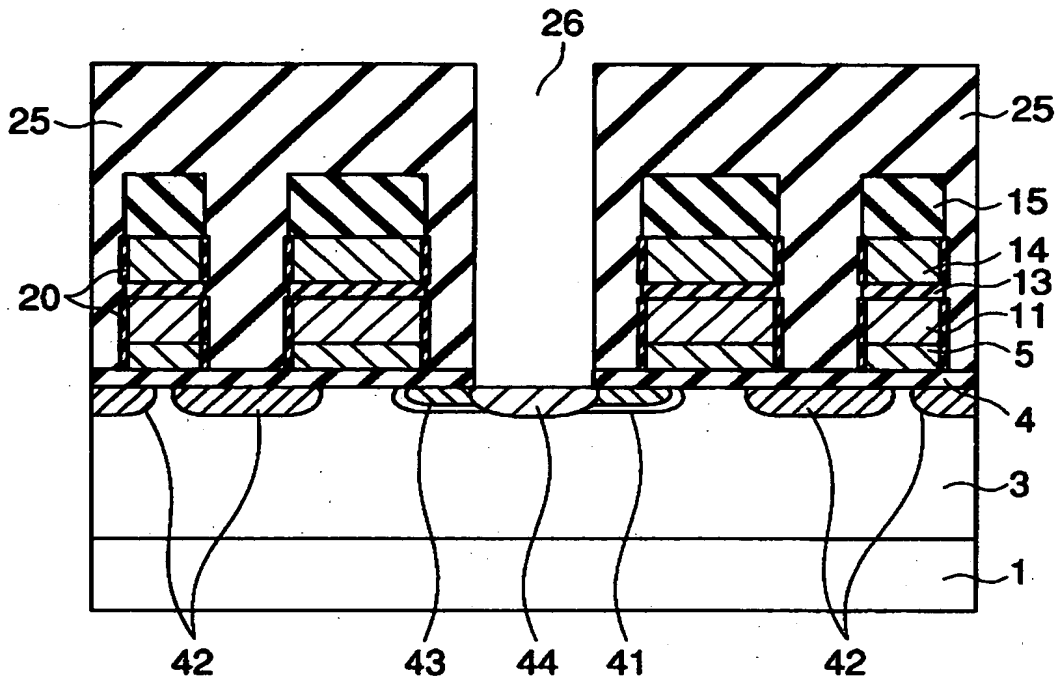
【図 25】



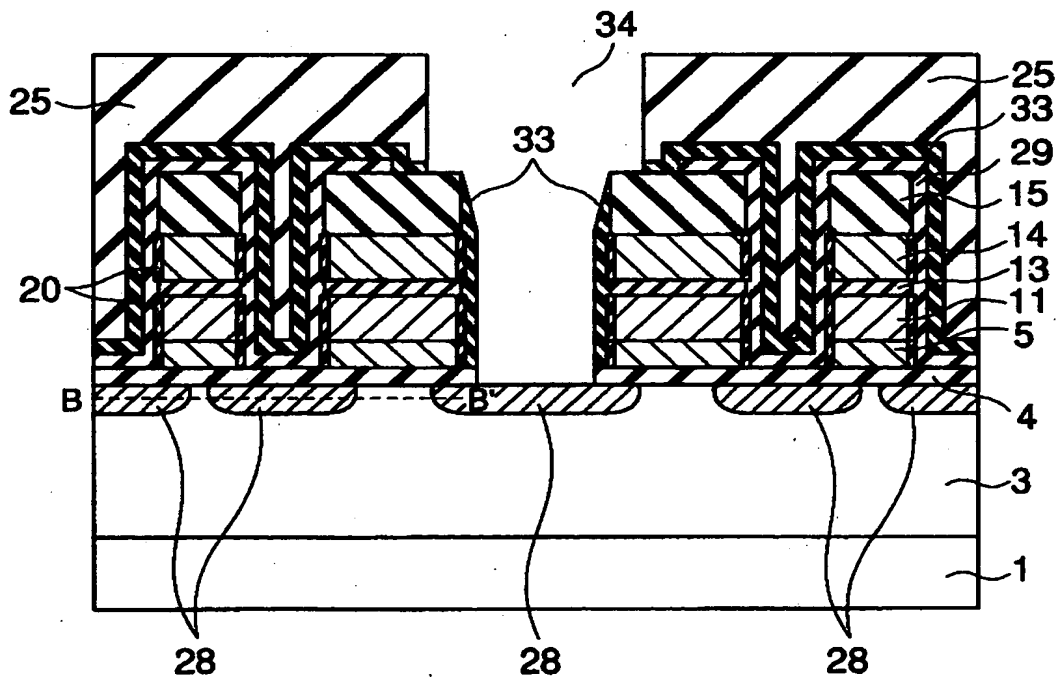
【図 26】



【図 27】



【図 28】



【書類名】 要約書

【要約】

【課題】 データ書き込み特性、データ保持特性、読み出しストレスに対する耐性などのメモリセルトランジスタの様々な特性と、選択ゲートトランジスタのカットオフ特性とをともに良好にできる不揮発性半導体記憶装置を提供すること。

【解決手段】 浮遊ゲート(5,11)と制御ゲート(14)との積層構造を有するメモリセルトランジスタを含むメモリセルユニットと、ソース／ドレイン拡散層領域の一方(23)がビット線またはソース線に接続され、他方(24)がメモリセルユニットに接続された選択ゲートトランジスタとを具備する。そして、選択ゲートトランジスタのゲート電極下で、この選択ゲートトランジスタのソース／ドレイン拡散層領域(23,24)の形状を非対称とする。

【選択図】 図 1 8

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝